

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064659
Application Number

출원년월일 : 2002년 10월 22일
Date of Application OCT 22, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



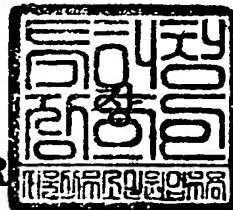
2003 년 05 월 06 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.22
【발명의 명칭】	플래쉬 방식 아날로그 디지털 변환방법 및 회로
【발명의 영문명칭】	Analog digital converting method and circuit of flash type
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	윤재철
【성명의 영문표기】	YOUN, JAE CHUL
【주민등록번호】	670608-1065614
【우편번호】	130-011
【주소】	서울특별시 동대문구 청량리1동 한신아파트 108-703
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	468,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플래쉬 방식 아날로그 디지털 변환방법 및 회로를 공개한다. 이 방법은 아날로그 신호를 입력하여 128비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성단계, 128비트의 온도계 코드를 가진 디지털 신호를 3차 압축하여 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생하는 온도계 코드 압축단계, 및 128비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 7비트의 디지털 신호를 발생하는 엔코딩 단계로 이루어져 있다. 따라서, 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축한 후에 압축된 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하기 때문에 레이아웃 면적이 줄어들게 된다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

플래쉬 방식 아날로그 디지털 변환방법 및 회로{Analog digital converting method and circuit of flash type}

【도면의 간단한 설명】

도1은 종래의 플래쉬 방식 아날로그 디지털 변환회로의 일예의 구성을 나타내는 블록도이다.

도2는 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 구성을 나타내는 일실시예의 블록도이다.

도3은 도2에 나타낸 온도계 코드 압축회로의 실시예의 블록도이다.

도4 내지 도7은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 온도계 코드 압축방법을 설명하기 위한 것이다.

도8은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 1차 압축회로의 실시예의 구성을 나타내는 것이다.

도9는 도8에 나타낸 배타논리합 게이트의 구성을 나타내는 것이다.

도10은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 2차 압축회로의 실시예의 구성을 나타내는 것이다.

도11은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 3차 압축회로의 실시예의 구성을 나타내는 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 아날로그 디지털 변환회로에 관한 것으로, 특히 플래쉬 방식 아날로그 디지털 변환방법 및 회로에 관한 것이다.
- <10> 종래의 플래쉬 방식 아날로그 디지털 변환회로는 프리 앰프 회로, 온도계 코드 생성회로, 및 엔코더를 구비하여, 프리 앰프 회로 및 온도계 코드 생성회로가 아날로그 신호를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 생성하고, 엔코더가 생성된 온도계 코드를 가진 디지털 신호를 n 비트의 디지털 신호로 직접 변환한다. 온도계 코드란 000...000111...111과 같이 디지털 신호가 "0"인 비트 열과 디지털 신호가 "1"인 비트 열이 마주보면서 배열된 것을 말한다.
- <11> 그런데, 종래의 플래쉬 방식 아날로그 디지털 변환회로의 엔코더는 생성된 2^n 비트의 온도계 코드를 가진 디지털 신호를 n 비트의 디지털 신호로 직접 변환하기 때문에, 온도계 코드를 가진 디지털 신호의 비트수가 증가할수록 엔코더의 레이아웃 면적이 증가하게 된다는 문제점이 있었다.
- <12> 도1은 종래의 플래쉬 방식 아날로그 디지털 변환회로의 일예의 구성을 나타내는 블록도로서, 프리 앰프 회로(10), 온도계 코드 생성회로(12), 및 엔코더(14)로 구성되어 있다.
- <13> 도1에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

- <14> 프리 앰프 회로(10)는 입력 아날로그 신호(Ain)를 증폭하여 k개의 아날로그 신호(Ain)를 발생한다. 온도계 코드 생성회로(12)는 k개의 아날로그 신호(Ain)를 입력하여 2ⁿ비트의 온도계 코드를 가진 디지털 신호를 생성한다. 엔코더(14)는 2ⁿ비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 n비트의 디지털 신호(Dout)를 발생한다.
- <15> 즉, 도1에 나타낸 플래쉬 방식 아날로그 디지털 변환회로는 엔코더(14)가 2ⁿ비트의 온도계 코드를 가진 디지털 신호를 직접적으로 엔코딩하여 n비트의 디지털 신호(Dout)를 발생하도록 구성되어 있다.
- <16> 따라서, 종래의 플래쉬 방식 아날로그 디지털 변환회로는 온도계 코드 생성회로(12)로부터 발생하는 2ⁿ비트의 온도계 코드를 가진 디지털 신호의 비트수가 큰 경우에 엔코더(14)의 레이아웃 면적이 증가하게 된다는 문제점이 있다.
- <17> 예를 들어 설명하면, 128비트의 온도계 코드를 가진 디지털 신호를 7비트의 디지털 신호로 엔코딩하는 경우의 레이아웃 면적이 32비트의 온도계 코드를 가진 디지털 신호를 5비트의 디지털 신호로 엔코딩하는 경우의 레이아웃 면적에 비해서 4배가 된다.
- <18> 즉, 2ⁿ비트의 온도계 코드를 가진 디지털 신호의 비트수가 작은 경우에는 엔코더(14)의 레이아웃 면적이 문제가 되지 않지만, 온도계 코드를 가진 디지털 신호의 비트수가 큰 경우에는 엔코더(14)의 레이아웃 면적 증가가 문제가 된다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명의 목적은 온도계 코드를 가진 디지털 신호의 비트수가 큰 경우에도 엔코더의 레이아웃 면적이 증가되지 않도록 함으로써 전체적인 레이아웃 면적을 줄일 수 있는 플래쉬 방식 아날로그 디지털 변환방법을 제공하는데 있다.

- <20> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 아날로그 디지털 변환방법을 구현한 플래쉬 방식 아날로그 디지털 변환회로를 제공하는데 있다.
- <21> 상기 목적을 달성하기 위한 본 발명의 플래쉬 방식 아날로그 디지털 변환방법은 아날로그 신호를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성단계, 상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축하여 압축된 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 압축단계, 및 상기 압축된 온도계 코드를 가진 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코딩 단계를 구비하는 것을 특징으로 한다.
- <22> 상기 온도계 코드 압축단계는 상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 j 차 압축하여 2^{n-j+j} 비트의 상기 온도계 코드를 가진 압축된 디지털 신호를 발생하는 것을 특징으로 한다.
- <23> 상기 목적을 달성하기 위한 본 발명의 플래쉬 방식 아날로그 디지털 변환방법의 실시예는 아날로그 신호를 입력하여 128비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성단계, 상기 128비트의 온도계 코드를 가진 디지털 신호를 3차 압축하여 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생하는 온도계 코드 압축단계, 및 상기 128비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 7비트의 디지털 신호를 발생하는 엔코딩 단계를 구비하는 것을 특징으로 한다.
- <24> 상기 온도계 코드 압축단계는 상기 128비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 64비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 128비트의 온도계 코드를 가진 디지털 신호의 65번째 비트를 제1캐리로 발

생하는 제1압축단계, 상기 64비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 32비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 64비트의 온도계 코드를 가진 디지털 신호의 33번째 비트를 제2캐리로 발생하는 제2압축단계, 및 상기 32비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 16비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 32비트의 온도계 코드를 가진 디지털 신호의 17번째 비트를 제3캐리로 발생하는 제3압축단계를 구비하는 것을 특징으로 한다.

<25> 상기 다른 목적을 달성하기 위한 본 발명의 플래쉬 방식 아날로그 디지털 변환회로는 아날로그 신호를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성수단, 상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축하여 압축된 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 압축수단, 및 상기 압축된 온도계 코드를 가진 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코딩 수단을 구비하는 것을 특징으로 한다.

<26> 상기 다른 목적을 달성하기 위한 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 실시예는 아날로그 신호를 입력하여 128비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성수단, 상기 128비트의 온도계 코드를 가진 디지털 신호를 3차 압축하여 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생하는 온도계 코드 압축수단, 및 상기 128비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 7비트의 디지털 신호를 발생하는 엔코딩 수단을 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <27> 이하, 첨부한 도면을 참고로 하여 본 발명의 플래쉬 방식 아날로그 디지털 변환방법 및 회로를 설명하면 다음과 같다.
- <28> 도2는 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 구성을 나타내는 일실시예의 블록도로서, 프리 앰프 회로(20), 온도계 코드 생성회로(22), 온도계 코드 압축회로(24), 및 엔코더(26)로 구성되어 있다.
- <29> 도2에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <30> 프리 앰프 회로(20)는 입력 아날로그 신호(Ain)를 증폭하여 k개의 아날로그 신호를 발생한다. 온도계 코드 생성회로(22)는 k개의 아날로그 신호(Ain)를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 생성한다. 온도계 코드 압축회로(24)는 2^n 비트의 온도계 코드를 가진 디지털 신호를 j차 압축하여 2^{n-j+j} 비트의 디지털 신호를 발생한다. 엔코더(26)는 2^{n-j+j} 비트의 디지털 신호를 엔코딩하여 n비트의 디지털 신호(Dout)를 발생한다.
- <31> 즉, 도2에 나타낸 플래쉬 방식 아날로그 디지털 변환회로는 온도계 코드 생성회로(22)로부터 발생되는 2^n 비트의 온도계 코드를 가진 디지털 신호를 2^{n-j+j} 비트의 디지털 신호로 압축한 후, 엔코더(26)에 의해서 엔코딩하여 n비트의 디지털 신호(Dout)를 발생한다.
- <32> 따라서, 엔코더(26)가 2^n 비트의 온도계 코드를 가진 디지털 신호를 직접적으로 엔코딩하여 n비트의 디지털 신호를 발생하는 경우에 비해서 플래쉬 방식 아날로그 디지털 변환회로의 레이아웃 면적이 줄어들게 된다.

- <33> 도3은 도2에 나타낸 온도계 코드 압축회로의 실시예의 블록도로서, 1차 및 j차 압축회로들(30-1, 30-2, ..., 30-j)로 구성되어 있다.
- <34> 도3에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <35> 1차 압축회로(30-1)는 2^n 비트의 디지털 신호를 압축하여 $2^{n-1}+1$ 비트의 디지털 신호를 발생한다. 2차 압축회로(30-2)는 $2^{n-1}+1$ 비트의 디지털 신호를 압축하여 $2^{n-2}+2$ 비트의 디지털 신호를 발생한다. 마찬가지로, j차 압축회로(30-j)는 $2^{n-(j-1)}+(j-1)$ 비트의 디지털 신호를 압축하여 $2^{n-j}+j$ 비트의 디지털 신호를 발생한다.
- <36> 도4 내지 도7은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 온도계 코드 압축방법을 설명하기 위한 것으로, 가로축은 2^n 개 종류의 온도계 코드를 나타내고, 세로축은 2^n 비트의 온도계 코드를 가진 디지털 신호를 나타내는 것으로, 온도계 코드 생성회로부터 발생된 2^n 비트의 온도계 코드를 가진 디지털 신호($B_1 \sim B_{2^n}$)를 나타내는 것이다.
- <37> 도4에서, 0으로 표시한 부분은 디지털 신호의 각 비트가 "0"임을 나타내고, 1로 표시한 부분은 디지털 신호의 각 비트가 "1"임을 나타낸다.
- <38> 도4에 나타낸 2^n 개 종류의 온도계 코드가 도3에 나타낸 1차 압축회로(30-1)를 통하여 압축되면 도5에 나타낸 바와 같이 된다. 1차 압축된 첫 번째 비트의 디지털 신호($B'1$)는 첫 번째 비트의 디지털 신호(B_1)와 2^n 번째 비트의 디지털 신호(B_{2^n})를 배타논리합하여 발생되고, 도시하지는 않았지만, 1차 압축된 두 번째 비트의 디지털 신호($B'2$)는 두 번째 비트의 디지털 신호(B_2)와 2^n-1 번째 비트의 디지털 신호(B_{2^n-1})를 배타논리합하여 발생된다. 배타논리합이란 입력되는 2개의 디지털 신호가 동일한 경우에는 디지털

신호 "0"을 발생하고, 다른 경우에는 디지털 신호 "1"을 발생하는 것을 말한다. 이와같은 방법으로, 1차 압축된 2^{n-1} 번째 비트의 디지털 신호($B'2^{n-1}$)는 2^{n-1} 번째 비트의 디지털 신호($B2^{n-1}$)와 $2^{n-1}+1$ 번째 비트의 디지털 신호($B2^{n-1}+1$)를 배타논리합하여 발생된다. 그리고, $2^{n-1}+1$ 번째 비트의 디지털 신호($B2^{n-1}+1$)가 캐리($C1$)로 발생된다. 따라서, 1차 압축회로(30-1)가 2^n 비트의 디지털 신호($B1 \sim B2^n$)를 압축하여 총 $2^{n-1}+1$ 비트의 디지털 신호($B'1 \sim B'2^{n-1}, C1$)를 발생한다.

<39> 이를 수식으로 정리하면 다음과 같다.

<40>
$$B'1 = B1 \oplus B2^n$$

<41>
$$B'2 = B2 \oplus B2^{n-1}$$

<42> ...

<43>
$$B'2^{n-1} = B2^{n-1} \oplus B2^{n-1}+1$$

<44>
$$C1 = B2^{n-1}+1$$

<45> 도5로부터 알 수 있듯이, 1차 압축회로를 통하여 압축된 디지털 신호($B'1 \sim B'2^{n-1}$) 또한 온도계 코드를 가진 디지털 신호이다.

<46> 도5에 나타낸 2^{n-1} 개의 온도계 코드를 가진 디지털 신호($B'1 \sim B'2^{n-1}$)가 도3에 나타낸 2차 압축회로(30-2)를 통하여 압축되면 도6에 나타낸 바와 같이 된다. 2차 압축된 첫 번째 비트의 디지털 신호($B''1$)는 1차 압축된 첫 번째 비트의 디지털 신호($B'1$)와 1차 압축된 2^{n-1} 번째 비트의 디지털 신호($B'2^{n-1}$)를 배타논리합하여 발생되고, 도시하지는 않았지만, 2차 압축된 두 번째 비트의 디지털 신호($B''2$)는 1차 압축된 첫 번째 비트의 디지털 신호($B'2$)와 1차 압축된 $2^{n-1}-1$ 번째 비트의 디지털 신

호($B'2^{n-1}-1$)를 배타논리합하여 발생된다. 이와같은 방법으로, 2차 압축된 2^{n-2} 번째 비트의 디지털 신호($B''2^{n-2}$)는 1차 압축된 2^{n-2} 번째 비트의 디지털 신호($B'2^{n-2}$)와 1차 압축된 $2^{n-2}+1$ 번째 비트의 디지털 신호($B'2^{n-2}+1$)를 배타논리합하여 발생된다. 그리고, $2^{n-1}+1$ 번째 비트의 디지털 신호($B2^{n-1}+1$)가 캐리(C1)로 발생되고, 1차 압축된 $2^{n-2}+1$ 번째 비트의 디지털 신호($B'2^{n-2}+1$)가 캐리(C2)로 발생된다. 따라서, 2차 압축회로(30-2)가 2^{n-1} 비트의 디지털 신호($B'1 \sim B'2^{n-1}$)를 압축하여 총 $2^{n-2}+2$ 비트의 디지털 신호($B''1 \sim B''2^{n-2}$, C1, C2)를 발생한다.

<47> 이를 수식으로 정리하면 다음과 같다.

$$<48> \quad B''1 = B'1 \oplus B'2^{n-1}$$

$$<49> \quad B''2 = B2 \oplus B2^{n-1-1}$$

$$<50> \quad \dots$$

$$<51> \quad B''2^{n-2} = B2^{n-2} \oplus B2^{n-2}+1$$

$$<52> \quad C1 = B2^{n-1}+1$$

$$<53> \quad C2 = B'2^{n-2} + 1$$

<54> 도6으로부터 알 수 있듯이, 2차 압축회로를 통하여 압축된 디지털 신호($B''1 \sim B''2^{n-2}$) 또한 온도계 코드를 가진 디지털 신호이다.

<55> 도6에 나타낸 2^{n-2} 개의 온도계 코드를 가진 디지털 신호($B''1 \sim B''2^{n-2}$)가 3차 압축회로를 통하여 압축되면 도7에 나타낸 바와 같이 된다. 3차 압축된 첫 번째 비트의 디지털 신호($B'''1$)는 2차 압축된 첫 번째 비트의 디지털 신호($B''1$)와 2^{n-2} 번째 비트의 디지털

신호($B''2^{n-2}$)를 배타논리합하여 발생되고, 도시하지는 않았지만, 3차 압축된 두 번째 비트의 디지털 신호($B'''2$)는 2차 압축된 두 번째 비트의 디지털 신호($B''2$)와 2차 압축된 $2^{n-2}-1$ 번째 비트의 디지털 신호($B''2^{n-2}-1$)를 배타논리합하여 발생된다. 이와같은 방법으로, 3차 압축된 2^{n-3} 비트의 디지털 신호($B'''2^{n-3}$)는 2차 압축된 2^{n-3} 번째 비트의 디지털 신호($B''2^{n-3}$)와 2차 압축된 $2^{n-3}+1$ 비트의 디지털 신호($B''2^{n-3}+1$)를 배타논리합하여 발생된다. 그리고, 디지털 신호($B2^{n-1}+1$)가 캐리($C1$)로 발생되고, 디지털 신호($B'2^{n-2}+1$)가 캐리($C2$)로 발생되고, 디지털 신호($B''2^{n-3}+1$)가 캐리($C3$)로 발생된다. 따라서, 3차 압축회로(30-3)가 2^{n-2} 비트의 디지털 신호($B'1 \sim B'2^{n-2}$)를 압축하여 총 $2^{n-3}+3$ 비트의 디지털 신호($B'''1 \sim B'''2^{n-3}$, $C1$, $C2$, $C3$)를 발생한다.

<56> 본 발명의 실시예의 플래쉬 방식 아날로그 디지털 변환방법은 2^n 비트의 온도계 코드를 가진 디지털 신호를 반으로 접어서 대응하는 비트를 배타논리합하여 2^{n-1} 비트의 디지털 신호를 발생하고, $2^{n-1}+1$ 번째 비트의 디지털 신호를 캐리로 발생한다. 이와같은 방법으로 2^n 비트의 온도계 코드를 j 차까지 압축한 후, 압축된 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생한다.

<57> 예를 들어, 128비트의 온도계 코드를 1차 압축하게 되면 64비트의 온도계 코드를 가진 디지털 신호($B'1 \sim B'64$)와 1비트의 캐리($C1$)가 발생되고, 2차 압축하게 되면 32비트의 온도계 코드를 가진 디지털 신호($B''1 \sim B''32$)와 2비트의 캐리($C1$, $C2$)가 발생된다. 그리고, 3차 압축하게 되면 16비트의 온도계 코드를 가진 디지털 신호($B'''1 \sim B'''16$)와 3비트의 캐리($C1$, $C2$, $C3$)가 발생된다.

- <58> 즉, 본 발명의 플래쉬 방식 아날로그 디지털 변환회로는 128비트의 온도계 코드를 가진 디지털 신호를 1차, 2차, 3차 압축함에 의해서 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생한 후에 엔코딩을 수행한다.
- <59> 도8은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 1차 압축회로의 실시예의 구성을 나타내는 것으로, 128비트의 온도계 코드(B1 ~ B128)를 압축하여 64비트의 디지털 신호(B'1 ~ B'64)와 1비트의 캐리(C1)를 발생하는 구성을 나타내는 것이다.
- <60> 도8에 나타낸 1차 압축회로는 64개의 배타논리합 게이트들(40-1 ~ 40-64)로 구성되어 있다.
- <61> 도8에 나타낸 1차 압축회로의 동작을 설명하면 다음과 같다.
- <62> 배타논리합 게이트(40-1)는 디지털 신호(B1)과 디지털 신호(B128)를 배타논리합하여 디지털 신호(B'1)를 발생한다. 배타논리합 게이트(40-2)는 디지털 신호(B2)와 디지털 신호(B127)를 배타논리합하여 디지털 신호(B'2)를 발생한다. 배타논리합 게이트(40-64)는 디지털 신호(B64)와 디지털 신호(B65)를 배타논리합하여 디지털 신호(B'64)를 발생한다. 그리고, 디지털 신호(B65)를 캐리(C1)로 발생한다.
- <63> 도9는 도8에 나타낸 배타논리합 게이트의 구성을 나타내는 것으로, 인버터들(I1, I2), 및 NAND게이트들(NA1, NA2, NA3)로 구성되어 있다.
- <64> 도9에 나타낸 회로의 각 소자들의 기능을 설명하면 다음과 같다.
- <65> 인버터(I1)는 입력신호(IN1)를 반전한다. 인버터(I2)는 입력신호(IN2)를 반전한다. NAND게이트(NA1)는 인버터(I1)의 출력신호와 입력신호(IN2)를 비논리곱한다. NAND게이트(NA2)는 인버터(I2)의 출력신호와 입력신호(IN1)를 비논리곱한다.

NAND게이트(NA3)는 NAND게이트들(NA1, NA2)의 출력신호들을 비논리곱하여 출력신호(OUT)를 발생한다.

<66> 도9에 나타낸 회로의 동작을 설명하면 다음과 같다.

<67> 입력신호들(IN1, IN2)이 모두 디지털 신호 "1"이면, 인버터들(I1, I2)은 디지털 신호 "0"을 출력한다. NAND게이트들(NA1, NA2)은 디지털 신호 "1"을 출력한다. NAND게이트(NA3)는 디지털 신호(OUT) "0"을 출력한다.

<68> 마찬가지로, 입력신호들(IN1, IN2)가 모두 디지털 신호 "0"이면, 디지털 신호(OUT) "0"을 출력한다.

<69> 반면에, 입력신호들(IN1, IN2) 각각이 디지털 신호 "0", "1"이면, 인버터들(I1, I2) 각각은 디지털 신호 "1", "0"을 출력한다. NAND게이트(NA1)는 디지털 신호 "0"을 출력하고, NAND게이트(NA2)는 디지털 신호 "1"을 출력한다. NAND게이트(NA3)는 디지털 신호(OUT) "1"을 출력한다.

<70> 마찬가지로, 입력신호들(IN1, IN2) 각각이 디지털 신호 "1", "0"이면, 디지털 신호(OUT) "1"을 출력한다.

<71> 이와같은 방법으로, 도9에 나타낸 회로는 입력신호들(IN1, IN2)이 동일하면 디지털 신호(OUT) "0"을 출력하고, 다르면 디지털 신호(OUT) "1"을 출력한다. 즉, 입력신호들(IN1, IN2)에 대한 배타논리합을 수행한다.

<72> 도10은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 2차 압축회로의 실시예의 구성을 나타내는 것으로, 64비트의 온도계 코드를 가진 디지털 신호(B1 ~ B64)를 압

축하여 32비트의 온도계 코드를 가진 디지털 신호($B''1 \sim B''32$)와 2비트의 캐리($C1, C2$)를 발생하는 구성을 나타내는 것이다.

<73> 도10에 나타난 2차 압축회로는 32개의 배타논리합 게이트들(50-1 ~ 50-32)로 구성되어 있다.

<74> 도10에 나타난 2차 압축회로의 동작을 설명하면 다음과 같다.

<75> 배타논리합 게이트(50-1)는 디지털 신호($B'1$)과 디지털 신호($B'64$)를 배타논리합하여 디지털 신호($B''1$)를 발생한다. 배타논리합 게이트(50-2)는 디지털 신호($B'2$)와 디지털 신호($B'63$)를 배타논리합하여 디지털 신호($B''2$)를 발생한다. 배타논리합 게이트(50-32)는 디지털 신호($B'32$)와 디지털 신호($B'33$)를 배타논리합하여 디지털 신호($B''32$)를 발생한다. 그리고, 1차 압축회로로부터 출력되는 캐리($C1$)을 캐리($C1$)로 발생하고, 디지털 신호($B'33$)를 캐리($C2$)로 발생한다.

<76> 도11은 본 발명의 플래쉬 방식 아날로그 디지털 변환회로의 3차 압축회로의 실시예의 구성을 나타내는 것으로, 32비트의 온도계 코드를 가진 디지털 신호($B1 \sim B32$)를 압축하여 16비트의 온도계 코드를 가진 디지털 신호($B'''1 \sim B'''16$)와 3비트의 캐리($C1, C2, C3$)를 발생하는 구성을 나타내는 것이다.

<77> 도11에 나타난 3차 압축회로는 16개의 배타논리합 게이트들(60-1 ~ 60-16)로 구성되어 있다.

<78> 도11에 나타난 3차 압축회로의 동작을 설명하면 다음과 같다.

<79> 배타논리합 게이트(60-1)는 디지털 신호($B''1$)과 디지털 신호($B''31$)를 배타논리합하여 디지털 신호($B'''1$)를 발생한다. 배타논리합 게이트(60-2)는 디지털 신호($B''2$)와 디지털

털 신호($B''31$)를 배타논리합하여 디지털 신호($B''2$)를 발생한다. 배타논리합 게이트 (60-16)는 디지털 신호($B''16$)와 디지털 신호($B''17$)를 배타논리합하여 디지털 신호($B''16$)를 발생한다. 그리고, 2차 압축회로로부터 출력되는 캐리($C1, C2$)을 캐리($C1, C2$)로 발생하고, 디지털 신호($B''17$)를 캐리($C3$)로 발생한다.

<80> 즉, 본 발명의 실시예의 플래쉬 방식 아날로그 디지털 변환회로는 128비트의 디지털 신호를 j 차 압축하여 2^{n-j+j} 비트의 디지털 신호를 발생한 후, 압축된 2^{n-j+j} 비트의 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생한다.

<81> 따라서, 2^n 비트의 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 경우 보다 레이아웃 면적을 줄일 수 있다. 즉, 2^n 비트의 디지털 신호를 j 차 압축하여 발생된 2^{n-j+j} 비트의 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하기 때문에 레이아웃 면적이 줄어들게 된다.

<82> 상술한 실시예에서는 2^n 비트의 디지털 신호를 접어서, 2^{n+1} 번째 비트의 디지털 신호를 캐리로 발생하는 것을 예로 들어 설명하였으나, 캐리는 다양한 방법으로 발생하는 것이 가능하다.

<83> 그리고, 압축된 2^{n-j+j} 비트의 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코더의 구성은 도시하지는 않았지만 다양한 방법으로 구성하는 것이 가능하다.

<84> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<85> 따라서, 본 발명의 플래쉬 방식 아날로그 디지털 변환방법 및 회로는 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축한 후에 압축된 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하기 때문에 레이아웃 면적이 줄어들게 된다.

【특허청구범위】

【청구항 1】

아날로그 신호를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성단계;

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축하여 압축된 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 압축단계; 및

상기 압축된 온도계 코드를 가진 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코딩 단계를 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환방법.

【청구항 2】

제1항에 있어서, 상기 온도계 코드 압축단계는

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 j 차 압축하여 2^{n-j+j} 비트의 상기 온도계 코드를 가진 압축된 디지털 신호를 발생하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환방법.

【청구항 3】

제2항에 있어서, 상기 온도계 코드 압축단계는

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 j 번 접어서 대응하는 비트의 디지털 신호를 배타논리합함에 의해서 2^{n-j} 비트의 디지털 신호로 압축하고, 상기 2^n 비트의 온도계 코드를 가진 디지털 신호의 $2^{n-j-1}+1$ 번째 비트를 캐리로 발생함에 의해서 j 개의 캐리를 발생하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환방법.

【청구항 4】

아날로그 신호를 입력하여 128비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성단계;

상기 128비트의 온도계 코드를 가진 디지털 신호를 3차 압축하여 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생하는 온도계 코드 압축단계; 및

상기 128비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 7비트의 디지털 신호를 발생하는 엔코딩 단계를 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환방법.

【청구항 5】

제4항에 있어서, 상기 온도계 코드 압축단계는

상기 128비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 64비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 128비트의 온도계 코드를 가진 디지털 신호의 65번째 비트를 제1캐리로 발생하는 제1압축단계;

상기 64비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 32비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 64비트의 온도계 코드를 가진 디지털 신호의 33번째 비트를 제2캐리로 발생하는 제2압축단계; 및

상기 32비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 16비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 32비트의 온도계 코드를 가진 디지털 신호의 17번째 비트를 제3캐리로 발생하는 제3압축단계를 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환방법.

【청구항 6】

아날로그 신호를 입력하여 2^n 비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성수단;

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 압축하여 압축된 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 압축수단; 및

상기 압축된 온도계 코드를 가진 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코딩 수단을 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환회로.

【청구항 7】

제6항에 있어서, 상기 온도계 코드 압축수단은

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 j 차 압축하여 2^{n-j+j} 비트의 상기 온도계 코드를 가진 압축된 디지털 신호를 발생하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환회로.

【청구항 8】

제7항에 있어서, 상기 온도계 코드 압축수단은

상기 2^n 비트의 온도계 코드를 가진 디지털 신호를 j 번 접어서 대응하는 비트의 디지털 신호를 배타논리합함에 의해서 2^{n-j} 비트의 디지털 신호로 압축하고, 상기 2^n 비트의 온도계 코드를 가진 디지털 신호의 $2^{n-j-1}+1$ 번째 비트를 캐리로 발생함에 의해서 j 개의 캐리를 발생하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환회로.

【청구항 9】

아날로그 신호를 입력하여 128비트의 온도계 코드를 가진 디지털 신호를 발생하는 온도계 코드 생성수단;

상기 128비트의 온도계 코드를 가진 디지털 신호를 3차 압축하여 16비트의 온도계 코드를 가진 디지털 신호와 3비트의 캐리를 발생하는 온도계 코드 압축수단; 및

상기 128비트의 온도계 코드를 가진 디지털 신호를 엔코딩하여 7비트의 디지털 신호를 발생하는 엔코딩 수단을 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환회로.

【청구항 10】

제9항에 있어서, 상기 온도계 코드 압축수단은

상기 128비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 64비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 128비트의 온도계 코드를 가진 디지털 신호의 65번째 비트를 제1캐리로 발생하는 제1압축수단;

상기 64비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 32비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 64비트의 온도계 코드를 가진 디지털 신호의 33번째 비트를 제2캐리로 발생하는 제2압축수단; 및

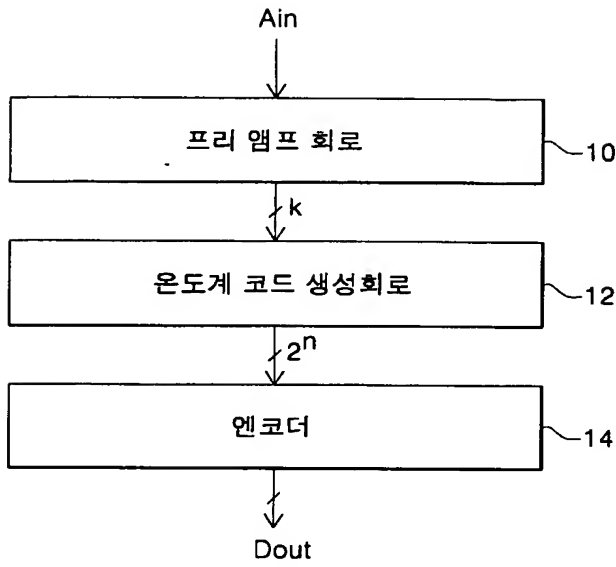
상기 32비트의 온도계 코드를 가진 디지털 신호를 접어서 대응하는 비트를 배타논리합하여 16비트의 온도계 코드를 가진 디지털 신호를 발생하고, 상기 32비트의 온도계 코드를 가진 디지털 신호의 17번째 비트를 제3캐리로 발생하는 제3압축수단을 구비하는 것을 특징으로 하는 플래쉬 방식 아날로그 디지털 변환회로.

1020020064659

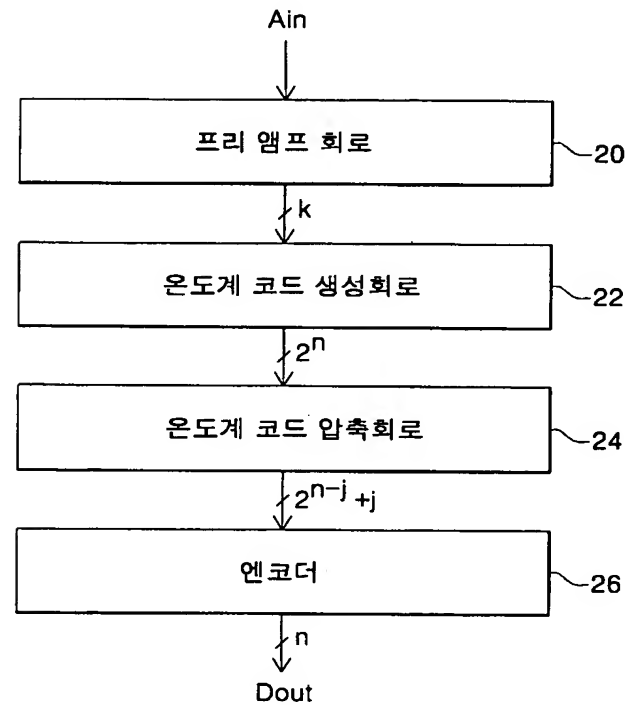
출력 일자: 2003/5/9

【도면】

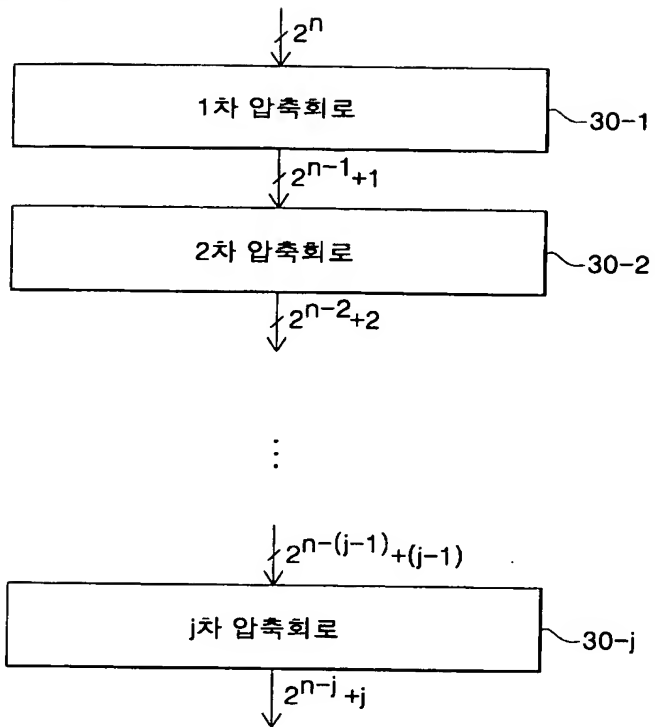
【도 1】



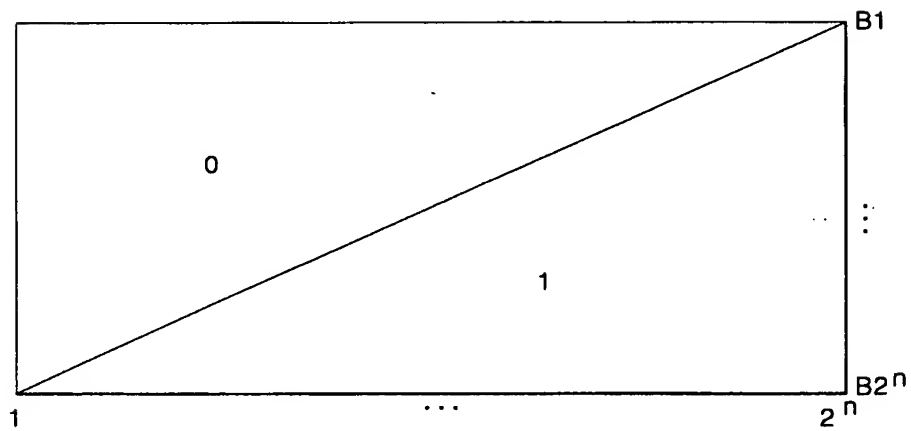
【도 2】



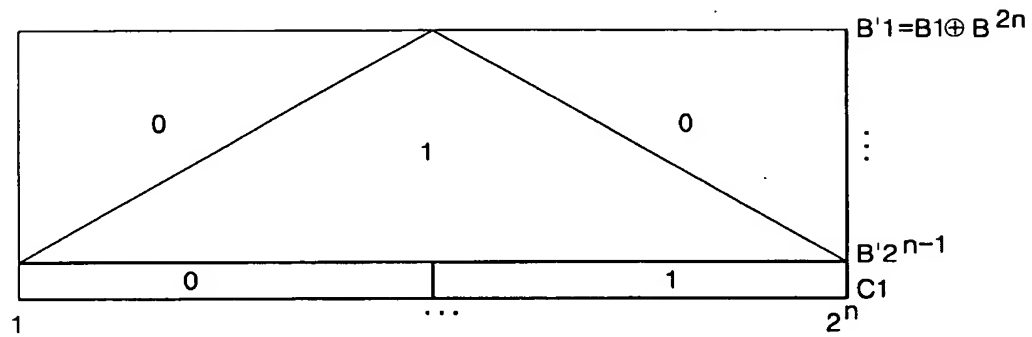
【도 3】



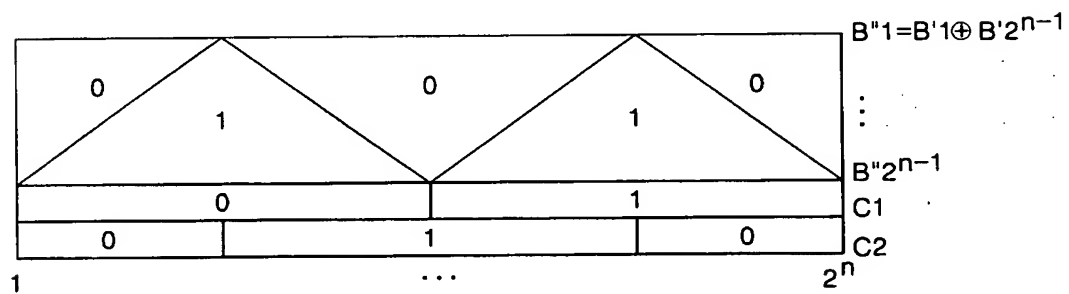
【도 4】



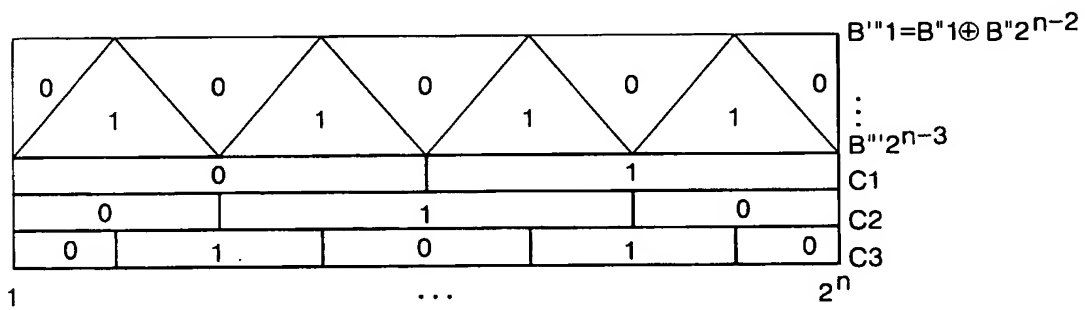
【도 5】



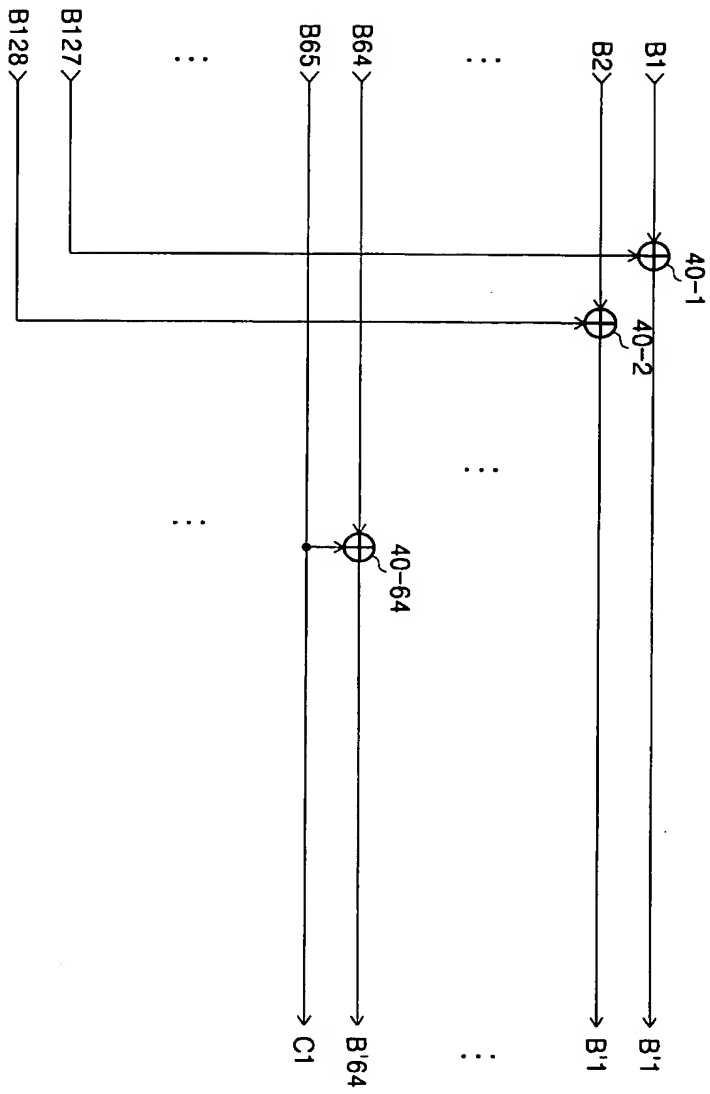
【도 6】



【도 7】



【도 8】

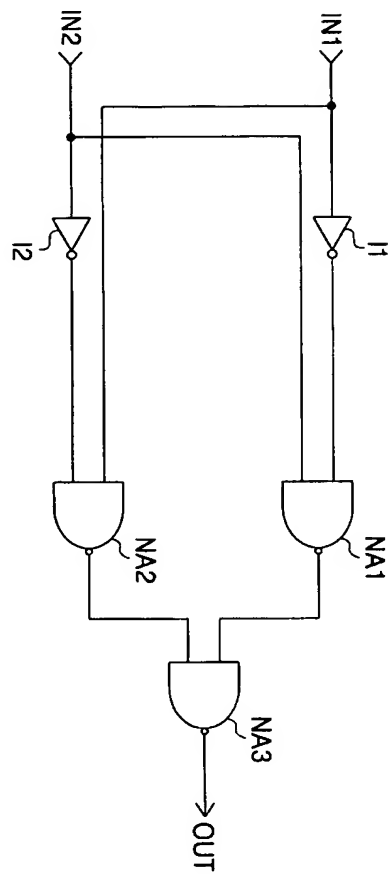




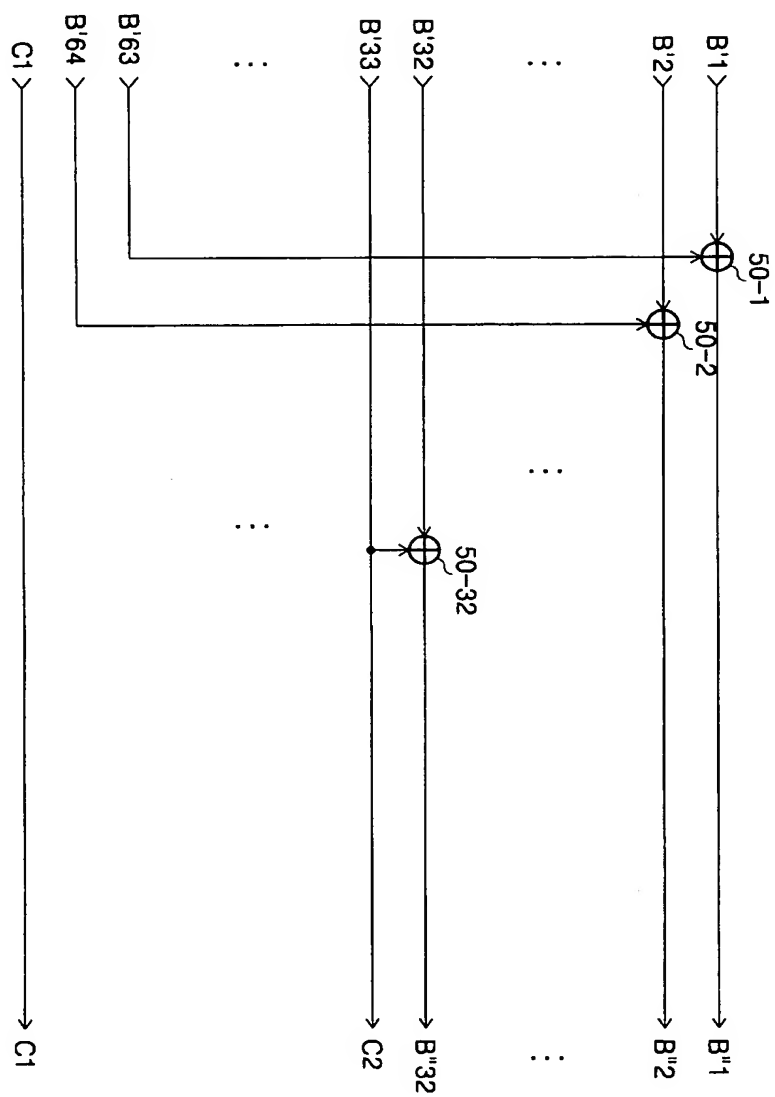
1020020064659

출력 일자: 2003/5/9

【도 9】



【도 10】





【图 11】

